

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204283

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 21/60

(21)Application number : 05-254999

(71)Applicant : LSI LOGIC CORP

(22)Date of filing : 17.09.1993

(72)Inventor : HEIM DOROTHY A

(30)Priority

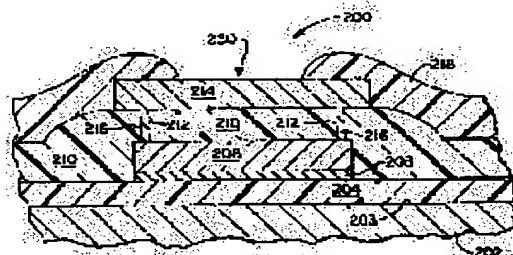
Priority number : 92 947854 Priority date : 18.09.1992 Priority country : US

## (54) BONDING PAD FOR SEMICONDUCTOR

(57)Abstract:

**PURPOSE:** To provide an improved bonding pad which is used for a semiconductor device and restrained from swelling without narrowing a choice range of parameters in a bonding process.

**CONSTITUTION:** A semiconductor bonding pad is equipped with a lower bonding pad 208, an upper bonding pad 214, an insulating member 210 disposed between the lower bonding pad 208 and the upper bonding pad 214, and at least one opening 212 provided penetrating through the insulating member 210, extending from the upper bonding pad 214 to the lower bonding pad 208, and terminating at the peripheral region of the lower bonding pad 208, and conductive material 216 which is filled into the opening 212 to electrically connect the upper bonding pad 214 to the lower bonding pad 208.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204283

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>

H01L 21/60

識別記号

301 P 6918-4M

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数20(全 7 頁)

(21)出願番号 特願平5-254999

(22)出願日 平成5年(1993)9月17日

(31)優先権主張番号 07/947, 854

(32)優先日 1992年9月18日

(33)優先権主張国 米国(U.S.)

(71)出願人 591007686

エルエスアイ ロジック コーポレーショ  
ン

LSI LOGIC CORPORATI  
ON

アメリカ合衆国、カリフォルニア州、ミル  
ピタス、マッカーシー ブルバード 1551

(72)発明者 ドロシー エイ ハイム

アメリカ合衆国、カリフォルニア州  
95120、サンノゼ、サン ヴィセプテ ア  
ヴェニュー 22688

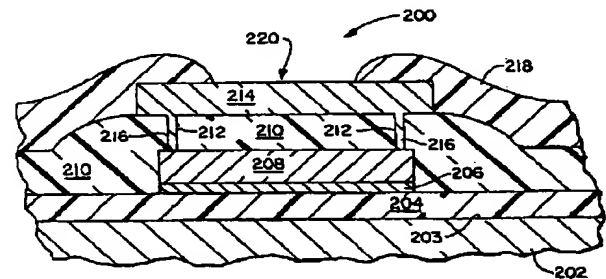
(74)代理人 弁理士 吉田 豊 (外1名)

(54)【発明の名称】 半導体用ボンドパッド

(57)【要約】

【目的】 ボンディング工程のパラメーターについての選択幅を狭くすることなく、ボンドパッドの持上りを減少させることができる半導体デバイス用の改良されたボンドパッドを提供することを課題とする。

【構成】 下方ボンドパッド208と、上方ボンドパッド214と、下方ボンドパッド208および上方ボンドパッド214の間に配置した絶縁部材210と、絶縁部材210を貫通して形成するとともに、上方ボンドパッド214から下方ボンドパッド208まで延び、下方ボンドパッド208の周辺領域230のみに並ぶ少なくともひとつの開口部212と、開口部212を満たすとともに、上方ボンドパッド214を下方ボンドパッド208に電気的に接続する導電材料216と、を有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 上方表面を有する下方ボンドパッドと、  
下方表面を有する上方ボンドパッドと、  
これら下方ボンドパッドおよび上方ボンドパッドの間に  
配置した絶縁部材と、  
この絶縁部材を貫通して形成するとともに、前記上方ボ  
ンドパッドから下方ボンドパッドまで延び、この下方ボ  
ンドパッドの周辺領域のみに並ぶ少なくともひとつの開  
口部と、  
この少なくともひとつの開口部を満たすとともに、前記  
上方ボンドパッドを前記下方ボンドパッドに電気的に接  
続する導電材料と、  
を有することを特徴とする半導体用ボンドパッド。

【請求項2】 前記少なくともひとつの開口部は、これ  
を複数の通路としたことを特徴とする請求項1記載の  
半導体用ボンドパッド。

【請求項3】 前記それぞれの通路は、その断面の大き  
さが約1ミクロン( $\mu\text{m}$ )であることを特徴とする請求  
項2記載の半導体用ボンドパッド。

【請求項4】 前記複数の通路は、前記周辺領域のま  
わりの少なくともひとつの「列」(string)内を  
延びることを特徴とする請求項2記載の半導体用ボン  
ドパッド。

【請求項5】 前記複数の通路は、前記周辺領域のま  
わりのふたつ以上の「列」内を延びることを特徴とする  
請求項4記載の半導体用ボンドパッド。

【請求項6】 前記通路のふたつ以上の列は、そのひと  
つの列の通路が、他の隣接する列の通路からずれる(o  
ffset)ようにこれを配置したことを特徴とする請  
求項5記載の半導体用ボンドパッド。

【請求項7】 前記少なくともひとつの開口部は、これ  
を前記周辺領域のまわりに延びるリング状の開口部とし  
たことを特徴とする請求項2記載の半導体用ボンドパ  
ッド。

【請求項8】 前記少なくともひとつの開口部は、これ  
をふたつ以上の細長いスリット状の開口部としたことを  
特徴とする請求項2記載の半導体用ボンドパッド。

【請求項9】 ふたつの細長いスリット状の開口部を形  
成し、  
このふたつの細長いスリット状の開口部の一方は、他の  
一方に対してこれを前記下方ボンドパッドの反対側の端  
部に配置したことを特徴とする請求項8記載の半導体用  
ボンドパッド。

【請求項10】 前記下方ボンドパッドの下層にバリヤ  
ー金属層をさらに形成したことを特徴とする請求項7記  
載の半導体用ボンドパッド。

【請求項11】 前記バリヤー金属層は、チタニウム、  
窒化チタニウム、およびタングステンチタニウムの中か  
らこれを選択することを特徴とする請求項10記載の半  
導体用ボンドパッド。

【請求項12】 前記少なくともひとつの開口部の全面  
積は、これを前記下方ボンドパッドの前記上方表面の面  
積の10%より少なくしたことを特徴とする請求項1記  
載の半導体用ボンドパッド。

【請求項13】 導電ワイヤーにより接続した、前記請  
求項2による複数の複合ボンドパッドからなる集積回  
路用のメタライゼーション構造。

【請求項14】 三層の金属層を有するとともに、それ  
ぞれの層をひとつ以上の前記複合ボンドパッドにより電  
氣的に隣の層に接続したことを特徴とする請求項13記  
載の集積回路用のメタライゼーション構造。

【請求項15】 前記導電材料および前記上方ボンドパ  
ッドを同時にデポジションさせる工程から形成したこと  
を特徴とする請求項2記載の半導体用ボンドパッド。

【請求項16】 前記開口部内の前記導電材料について  
選択的にデポジションを行う工程から形成したことを特  
徴とする請求項2記載の半導体用ボンドパッド。

【請求項17】 前記導電材料は、これをタングステン  
としたことを特徴とする請求項16記載の半導体用ボン  
ドパッド。

【請求項18】 上方表面を有する下方ボンドパッドを  
形成し、

この下方ボンドパッドの該上方表面の上層に絶縁部材層  
を形成し、

この絶縁部材層を貫通して形成するとともに、前記下方  
ボンドパッドの上方表面まで延び、前記下方ボンドパ  
ッドの周辺領域の上層に位置する少なくともひとつの開  
口部を形成し、

この開口部を導電材料により満たし、

前記絶縁材料層の上層に上方ボンドパッドを形成し、こ  
の上方ボンドパッドを前記導電材料および前記下方ボン  
ドパッドに電気的に接続することを特徴とする複合ボン  
ドパッドの形成方法。

【請求項19】 前記上方ボンドパッドおよび前記導電  
材料について、単一のステップによりデポジションを行  
うことを特徴とする請求項18記載の複合ボンドパッド  
の形成方法。

【請求項20】 前記導電材料について、前記開口部内  
で選択的にデポジションを行うことを特徴とする請求項  
18記載の複合ボンドパッドの形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は集積回路(IC)デバイ  
ス(半導体ダイ)への接続部の形成に関し、特にダイ上  
の「ボンドパッド」に関するものである。

## 【0002】

【従来の技術】 集積回路デバイスは、回路要素、ゲート  
などを形成する各種の拡散領域および重なり合う複数の  
層を有する半導体ダイからなっている。一般的には、ダ  
イ上に形成した下から2番目の層は、導電性ラインによ

3

るパターンを有する導電金属層（「M」）である。二層以上の金属層（「M1」、「M2」など）は、層間の誘電体（ILD）による誘電層によって互いにこれを分離する。以下の説明のために、導電層「M1」層および「M2」層というふたつの導電層があると仮定する。ILD層はM1層の上層にあり、M2層はILD層の上層にある。一般的に最上層のパッシベーション層は、M2層の上層にこれを配置する。このパッシベーション層を通して形成した開口部によりM2層の領域を露出する。これら露出した領域を「ボンドサイト」と呼ぶ。ダイへの接続、つまりここからダイ上にある回路への接続は、この露出領域を用いて行われる。たとえば、ボンドワイヤーをボンドサイトに直接接合し、あるいは金製のバンプをボンドサイト上に形成することによってダイへの自動テープによるボンディングを行う。あるいは、金製のボールを露出領域上に形成することによってダイを基板にフリップチップボンディングを行う。こうした接続技術は公知である。

【0003】図6および図7は、従来の「複合ボンドパッド」100の構造を示す断面図であって、一般的には、こうしたボンドパッド100の複数個があるダイ上に配置する。部分的に製造した段階の半導体ダイ102は、各種の拡散領域およびデポジション領域（図示せず）を有しており、上方表面103を有する。絶縁材料（たとえば二酸化シリコン）による絶縁酸化層104を上方表面103の上層に形成する。「バリヤー金属」によるパターン化した金属層106を絶縁酸化層104の上層に形成する。「第1の」金属（「M1」）によるパターン化した導電層108を、バリヤー金属層106の上層に形成するとともに、ダイに含まれる回路要素（図示せず）に接続する（図示せず）。層間誘電体（「ILD」たとえば二酸化シリコン）による誘電体層110を第1の金属層108の上層に形成するとともに、この誘電体層110を通して下層のM1層（第1の金属層108）の上方表面（図1参照）まで延びる開口部112を形成する。「第2の」金属（M2）によるパターン化した導電層114を誘電体層110の上層に形成する。この導電層114の一部分116は、開口部112を満たす導電性の「プラグ」を形成する。最上層の「パッシベーション」層118（たとえばポロフオスフォシリケートガラスあるいはBPSG）をM2層（導電層114）およびILD層（誘電体層110）の上層に形成する。このパッシベーション層118に開口部120を形成し、図示のように、この開口部120をパッシベーション層118を通してM2層の上方表面まで延長する。したがって、M2層の上方表面における開口部120の領域部分を露出させた状態とすることになる。この開口部120の領域は、「接続領域」（「ボンドサイト」）と呼ばれる。ボンドワイヤーなど適宜の手段によってダイに外部からの接続を行うのは、この接続領域で

4

ある。これにかわって、金製のバンプ（図示せず）あるいは金製のボール（図示せず）を開口部120の領域部分の上層に形成することにより、ダイへの自動テープによるボンディング（TAB）あるいはフリップチップボンディングを行うことができる。

【0004】全体として、導電層114と、導電層114の一部分116と、パターン化した導電層108とにより「複合ボンドパッド」100を構成している。以下の説明のために、点線115より上方の導電層114の部分は、これを「上方ボンドパッド」と呼び、この上方ボンドパッドの下層に位置しているパターン化した導電層108の部分はこれを「下方ボンドパッド」と呼ぶ。ボンドパッドの下層部（すなわちM1層の下層部）にあるバリヤー金属層（バリヤー金属によるパターン化した金属層106）は選択的なものであって、このバリヤー金属層は、ダイの下層部からM1層への「逃げてゆく」核種（M1層と向き合っている汚染物質）の拡散に対する保護を行う。

【0005】とくに図7に示すように、当該（複合）ボンドパッド100は一般的に正方形形状であり（図ではやや長方形に描かれている）、 $100 \times 100 \mu\text{m}$ （ミクロン）の大きさを有している。さらに、上方ボンドパッドは「プラグ」（導電層114の一部分116）より大きくこれを形成することができる。たとえば、上方ボンドパッドが $100 \mu\text{m}$ の幅であれば、このプラグは幅 $80 \sim 90 \mu\text{m}$ でよい。明らかなように、上方ボンドパッドの外方の周辺領域（たとえば、上方ボンドパッドの最外方の10%）は、ILD（誘電体層110）の上層に位置する。

【0006】実際には、下方ボンドパッド108は、M1層の導電性ラインのある定義された部分（やや長方形上に描かれている）である。

【0007】さらに実際には、複数個の複合ボンドパッド100をダイ上の上方表面に配置し、ダイへの複数個の入出力（I/O）接続部を形成する。

【0008】上述したように、開口部120による接続領域は最終的には、ボンドワイヤーなどを用いて、あるいは金製のバンプ／ボールの機構により、外部機器に接続する。こうした各種の工程は一般的には、ボンドパッドにとくに接続領域に、機械的あるいは熱的なエネルギーの少なくともいずれか一方を直接負荷する。観察されているところでは、これらのボンディング工程により、ボンドパッドが多層金属層（たとえば、バリヤー金属によるパターン化した金属層106）および酸化層（たとえば、絶縁酸化層104）の下層から層剥離する（持ち上がる）原因となる。

【0009】こうしたボンドパッド持上がりの問題は、アルミニウムワイヤーボンド、金製のボールボンディング、金製のバンプボンディング、およびその他のすべての異なる種類のボンディング技術において発生するもの

5

である。また、チタニウム (Ti)、窒化チタニウム (TiN)、チタニウムタングステン (TiW) などのバリアー金属 (バリアー金属によるパターン化した金属層 106) による層をボンドパッドの下層に用いた場合に、当該ボンドパッド持上りの問題はさらに悪化されるものである。ボンドパッドの持上りは、非常に好ましいものではなく、組立て (パッケージング) 生産性、およびデバイスの信頼性の両方において潜在的な諸問題ををかかえることになる。

【0010】過去においては、上述のようなボンドパッド持上りを軽減する努力はなされてきており、これら努力はつぎの諸点に向けられていた。すなわち、(1) ボンドパッドへの機械的衝撃あるいは熱的衝撃の少なくともいずれか一方を最小とするようにボンディング工程のパラメーターを調整すること、および (2) バリアー金属層の材料およびデポジション技術を最適なものとすること、である。こうした努力は、部分的な成功しかおさめなかったし、ボンディング工程に好ましかからざる制約 (すなわち、工程のパラメーターについての狭い選択幅 (window)) を負荷することになった。

【0011】

【発明が解決しようとする課題】本発明は以上のような諸問題にかんがみなされたもので、改良された集積回路デバイスを提供することを課題とする。

【0012】また、本発明のさらなる目的は、半導体デバイス用の改良されたボンドパッドを提供することを課題とする。

【0013】さらに、本発明の目的は、ボンディング工程のパラメーターについての選択幅を狭くすることなく、ボンドパッドの持上りを減少させることである。

【0014】

【課題を解決するための手段】すなわち本発明は、上方表面を有する下方ボンドパッドと、下方表面を有する上方ボンドパッドと、これら下方ボンドパッドおよび上方ボンドパッドの間に配置した絶縁部材と、この絶縁部材を貫通して形成するとともに、上記上方ボンドパッドから下方ボンドパッドまで延び、この下方ボンドパッドの周辺領域のみに並ぶ少なくともひとつの開口部と、この少なくともひとつの開口部を満たすとともに、上記上方ボンドパッドを上記下方ボンドパッドに電気的に接続する導電材料と、を有することを特徴とする半導体用ボンドパッドである。

【0015】本発明においては、複合ボンドパッドが上方ボンドパッドと、下方ボンドパッドと、上方ボンドパッドおよび下方ボンドパッドの間の絶縁部材とを有する。少なくともひとつの開口部を上記絶縁部材を通して形成し、この開口部を下方ボンドパッドから上方ボンドパッドまで延長させる。この少なくともひとつの開口部は下方ボンドパッドの周辺領域に並んでいる。導電材料がこの少なくともひとつの開口部を満たし、上方ボン

6

パッドと下方ボンドパッドとを電気的に接続する。

【0016】本発明の一実施例において、上記少なくともひとつの開口部は、これを複数個の通路としてある。それぞれの通路は、その断面の大きさが約1ミクロンである。これらの通路は、下方ボンドパッドの周辺領域のまわりにおいて少なくともひとつの「列」(列)内に延びている。この通路によってふたつ以上の列を形成した場合には、ひとつの列の通路を他の隣接する列の通路から好ましくは互いにずらして (offset) 形成する。

【0017】本発明の他の実施例において、上記少なくともひとつの開口部は、これを周辺領域のまわりに延びるリング状の開口部としてある。このリング状の開口部は、好ましくは、下方ボンドパッドの最小断面の大きさよりもわずかに小さな直径を有する。

【0018】本発明のさらに他の実施例においては、上記少なくともひとつの開口部は、これをひとつ以上の細長いスリット状の開口部としてある。細長いスリット状の開口部がふたつの場合には、下方ボンドパッドにより定義される領域と向かい合ってこれらを配置する。

【0019】本発明の他の目的、特徴および効果については、以下の説明によりこれを明らかにする。

【0020】

【作用】本発明による半導体用ボンドパッドにおいては、ボンディング工程において発生するボンドパッドの持上りの問題が、上方ボンドパッドと、下方ボンドパッドと、上方ボンドパッドおよび下方ボンドパッドの間の絶縁材料とを設けることにより軽減されている。少なくともひとつの開口部を絶縁材料を通して形成し、この開口部を下方ボンドパッドから上方ボンドパッドまで延長する。この少なくともひとつの開口部は下方ボンドパッドの周辺領域に並んでいる。導電材料がこの少なくともひとつの開口部を満たし、上方ボンドパッドと下方ボンドパッドとを電気的に接続している。一実施例においては、少なくともひとつの開口部が複数個の導電性の通路である。他の実施例においては、少なくともひとつの開口部が周辺領域のまわりを延びるリング状の開口部である。さらに、他の実施例においては、少なくともひとつの開口部がふたつ以上の細長いスリット状の開口部である。

【0021】

【実施例】図6および図7は、従来のボンドパッドの構造を示し、その構造についてはすでに説明した。とくにボンドパッドの持上りの問題については、M2層 (導電層 114) とM1層 (パターン化した導電層 108) との間の大きなプラグ (導電層 114 の一部分 116) を用いることについて説明した。

【0022】本発明においては、M2層とM1層との間の接続は、ボンドパッドの小さな周辺部分 (バンド) のまわりのみにおいてこれを行うものである。

【0023】図1および図2は、本発明の複合ボンドパッド200の構造を示す。部分的に製造した段階の半導体ダイ202は、各種の拡散領域およびデポジション領域（図示せず）を有しており、上方表面203を有する。絶縁材料（たとえば二酸化シリコン）による絶縁酸化層204を上方表面203の上層に形成する。「バリアー金属」によるパターン化した金属層206を絶縁酸化層204の上層に形成する。「第1の」金属

（「M1」）によるパターン化した導電層208を、バリアー金属によるパターン化した金属層206の上層に形成するとともに、ダイに含まれる回路要素（図示せず）に接続する（図示せず）。このM1層（導電層208）（とくに図2に現れる）により定義した領域が下方ボンドパッドを形成する。層間誘電体（「ILD」、たとえば二酸化シリコン）による誘電体層210を第1の金属層208の上層に形成するとともに、誘電体層210を通して、パターン化した導電層208の周辺領域まで延びる複数の小さな開口部212（通路212）を形成する。「第2の」金属（M2）によるパターン化した導電層214をILD210（誘電体層210）の上層に形成する。パターン化した導電層214の一部分216は、開口部212を満たす。そのかわりに、タングステンなどの金属を選択的にデポジションすることにより開口部212を満たすこともできる。誘電体層210の上層にあるパターン化した導電層214の部分が、上方ボンドパッドである。最上層の「パッシベーション」層218（たとえばボロフォスホシリケートガラスあるいはBPSG）をM2層（金属層208）およびILD層（誘電体層210）の上層に形成する。パッシベーション層218に開口部220を形成し、図示のようにこの開口部220をパッシベーション層218を通してM2層の上方表面まで延長する。したがって、M2層の上方表面の開口部220の領域部分を露出させた状態とすることになる。この開口部220の領域は、「接続領域」（「ボンドサイト」）と呼ばれる。従来技術と同様に、ボンドワイヤーなど適宜の手段によってダイに外部からの接続を行うのは、この接続領域（開口部220）である。これにかわって、金製のバンプ（図示せず）あるいは金製のボール（図示せず）を開口部220の領域部分の上層に形成することにより、ダイへの自動テープによるボンディング（TAB）あるいはフリップチップボンディングを行うことができる。

【0024】全体として、導電層214による上方ボンドパッドと、導電層208による下方ボンドパッドと、上方ボンドパッドおよび下方ボンドパッドの間のILD層210と、開口部212を満たしている導電材料とが「複合ボンドパッド」200を構成している。ボンドパッドの下層（すなわち、M1層の下層）にバリアー金属層（バリアー金属によるパターン化した金属層206）を用いることは選択的である。

【0025】とくに図2に示すように、当該複合ボンドパッド200は一般的に正形状であり（図ではやや長方形に描かれている）、 $100 \times 100 \mu\text{m}$ （ミクロン）の大きさを有している。下方ボンドパッド208の周辺領域230（図2において影をつけて示してある部分）に注目すると、この周辺領域230は下方ボンドパッド208として定義されたM1層の領域の周辺から下方ボンドパッド208の中心部に向かって約10%（たとえば $10 \mu\text{m}$ ）未満に延びている。好ましくは、周辺領域230は、接続領域220の全く外部にこれを配置する。たとえば下方ボンドパッド208が差し渡し $100 \mu\text{m}$ であれば、周辺領域230は下方ボンドパッド208の周辺のまわりに約 $10 \mu\text{m}$ だけのバンドを形成することができる。

【0026】図2に示すように、通路212は、周辺領域230内において下方ボンドパッドの周辺のまわりに延びる導電材料を満たした一部分216による通路の単一な列（「ストリング」）としてこれを示してある。円筒状（断面円形）として示してあるが、これらの通路は正方形など（この場合には正形状の柱状部材となる）適当な断面を有することもできる。満たした通路216は好ましくは $1.0 \sim 1.5 \mu\text{m}$ のオーダーであり、好ましくは互いに約 $2.0 \sim 3.0 \mu\text{m}$ の間隔をあけてある。

【0027】とくに図1に示すように、ボンドパッドの周辺に、単一の大きなプラグ（図6の開口部112）よりも複数の小さな開口部212を用いることにより、上方ボンドパッドと下方ボンドパッドとの間の間隔は、実質的に完全に（すなわち、90%以上）ILD酸化層210により満たされる。

【0028】従来技術におけると同様に、複数の複合ボンドパッド200をダイ上の表面に配置することにより、ダイへの複数の入出力（I/O）接続を行う。

【0029】上述のような「金属-ILD-金属」という構造を、所定回数だけ繰り返すことにより、多層のメタライゼーション構造を形成することが可能である。かくして、本発明の複合ボンドパッドは金属のいくつかのレベル相互間の接続に用いることができる。

【0030】従来技術におけると同様に、開口部220による接続領域は最終的には、ボンドワイヤーなどを用いて、あるいは金製のバンプ/ボールの機構により、外部機器に接続する。こうした各種の工程は一般的には、ボンドパッドにとくに接続領域に、機械的あるいは熱的なエネルギーの少なくともいずれか一方を直接負荷する。本発明による複合ボンドパッドの「金属-ILD-金属」（すなわち、上方ボンドパッド214-誘電体層210-下方ボンドパッド208）構造は、従来の、とくにバリアー金属（バリアー金属によるパターン化した金属層106、あるいはバリアー金属によるパターン化した金属層206）を採用したときの「金属-金属-金



属」(すなわち、上方ボンドパッド114、上方ボンドパッド114の一部分116、下方ボンドパッド108)の複合ボンドパッド構造よりもボンドパッド持ち上がる傾向が実質的により少ない。本発明の複合ボンドパッド構造は、組立て(パッケージング)生産性およびデバイスの信頼性においてともに、改良した望ましい構造を提供することとなる。

【0031】図3は、本発明の第二の実施例を示す。導電材料により満たされた通路によるふたつの列(ストリング)を周辺領域330(周辺領域230と同様)のまわりのすべてに配置する。周辺領域の内方端部は、接続領域320(開口部220と同様)よりも内方には延びていない。この例では、通路は断面正方形形状であり、ひとつの列310における通路は、隣接する列312による通路からオフセットされている(ずらされている)。

【0032】図4は、本発明の第三の実施例を示す。リング状のスリット(I LDを通したスリット、図示せず)を、導電材料316により満たすことにより、周辺領域330のまわりに連続状のリングを形成してある。

【0033】図5は、本発明の第四の実施例を示す。ふたつの細長いスリット(I LDを通したスリット、図示せず)を、周辺領域330の反対側の端部において導電材料317、317'により満たしてある。

#### 【0034】

【発明の効果】以上のように本発明によれば、上方ボンドパッドと、下方ボンドパッドと、これらの間の絶縁材料とを設けることによってボンドパッドの持ち上がりの問題を軽減することができる。

#### 【図面の簡単な説明】

【図1】本発明によるボンドパッド200の第一の実施例の断面図である。

【図2】同、図1のボンドパッド200の平面図である。

【図3】本発明によるボンドパッドの第二の実施例の平面図である。

【図4】本発明によるボンドパッドの第三の実施例の平面図である。

【図5】本発明によるボンドパッドの第四の実施例の平

面図である。

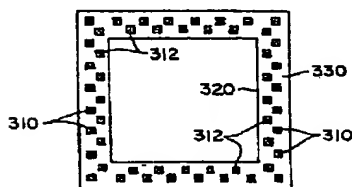
【図6】従来の複合ボンドパッド100の構造を示す断面図である。

【図7】同、図6の複合ボンドパッド100の構造を示す平面図である。

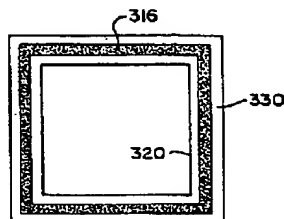
#### 【符号の説明】

- 100 複合ボンドパッド
- 102 部分的に製造した段階の半導体ダイ
- 103 上方表面
- 104 絶縁酸化物層
- 106 バリヤー金属によるパターン化した金属層
- 108 パターン化した導電層(下方ボンドパッド)
- 110 誘電体層(I LD層)
- 112 開口部
- 114 導電層(上方ボンドパッド)
- 115 点線
- 116 導電層114の一部分
- 118 パッシベーション層
- 120 開口部
- 200 複合ボンドパッド
- 202 部分的に製造した段階の半導体ダイ
- 203 上方表面
- 204 絶縁酸化物層
- 206 バリヤー金属によるパターン化した金属層
- 208 パターン化した導電層(下方ボンドパッド)
- 210 誘電体層(I LD層)
- 212 開口部
- 214 パターン化した導電層(上方ボンドパッド)
- 216 パターン化した導電層214の一部分
- 218 パッシベーション層
- 220 開口部
- 230 周辺領域
- 310 列
- 312 隣接する列
- 316 導電材料
- 317、317' 導電材料
- 320 接続領域
- 330 周辺領域

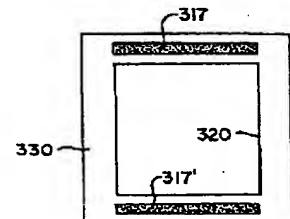
【図3】



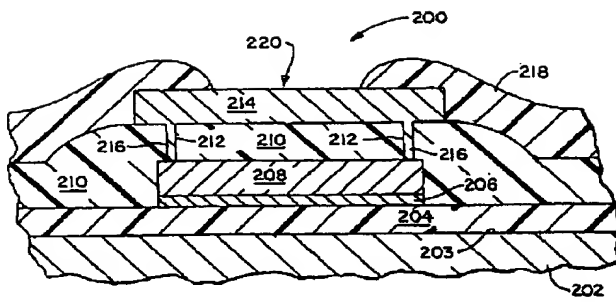
【図4】



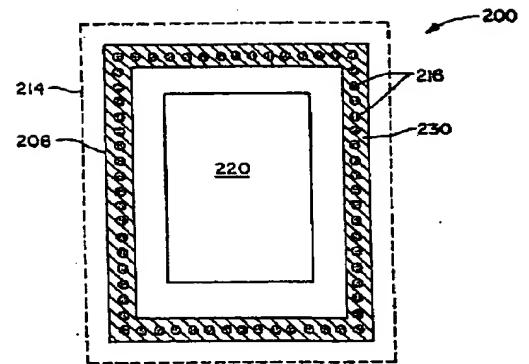
【図5】



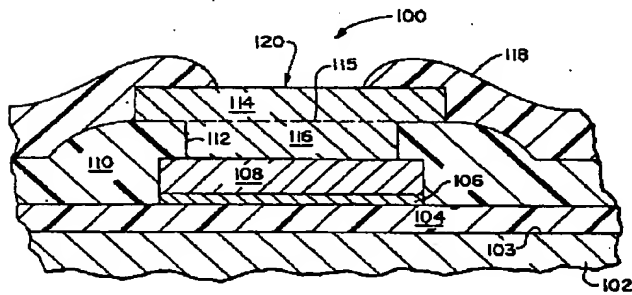
【図1】



【図2】



【図6】



【図7】

